

PAT-NO: JP402017680A

DOCUMENT-IDENTIFIER: JP 02017680 A

TITLE: OPTICAL CONTROL CIRCUIT

PUBN-DATE: January 22, 1990

INVENTOR-INFORMATION:

NAME

YANASE, TOMOO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63168380

APPL-DATE: July 5, 1988

INT-CL (IPC): H01L031/14

US-CL-CURRENT: 257/84

ABSTRACT:

PURPOSE: To miniaturize an optical control circuit by forming first and second optical transistors switched by light onto a light modulator on a semiconductor substrate and disposing a first collector layer and a second

emitter layer to the uppermost layer of the light modulator.

CONSTITUTION: When set light 211 higher than the threshold level of an optical transistor 251 is input to the optical transistor 251, the transistor is brought to a conductive state, positive voltage is applied to a light modulator 27, and input light 126 is transmitted. When reset light 212 higher than the threshold level of an optical transistor 261 is input to the optical transistor 261 under the state, the transistor is brought to the conductive state. Consequently, applied voltage at both ends of the light modulator 27 drops, absorption loss is increased, and the intensity of the output light 125 of the input light 126 is reduced. Accordingly, a small-sized optical control circuit brought to the states corresponding to set light and reset light can be manufactured.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-17680

⑤Int. Cl.⁵

識別記号

庁内整理番号

⑬公開 平成2年(1990)1月22日

H 01 L 31/14

A

7733-5F

審査請求 未請求 請求項の数 2 (全6頁)

⑭発明の名称 光制御回路

⑯特 願 昭63-168380

⑰出 願 昭63(1988)7月5日

⑱発 明 者 柳 瀬 知 夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 光制御回路

特許請求の範囲

(1)入射光によりスイッチする2つの光トランジスターが、半導体基板上に形成されたPN接合を有する光変調器上に形成され、かつ前記第1の光トランジスターのコレクター層と第2の光トランジスターのエミッター層が光変調器の最上層に接し、かつ2つの光トランジスターは素子分離されていることを特徴とする光制御回路。

(2)入射光によりスイッチする2つのPNPN形の光サイリスターが、半導体基板上に形成された光変調器上に形成され、かつ前記第1の光サイリスターのカソード層と第2の光サイリスターのカソード層が光変調器の最上層に接し、かつ2つの光サイリスターは素子分離されていることを特徴とする光制御回路。

発明の詳細な説明

(産業上の利用分野)

本発明は、光交換や光コンピュータの実現に必要なとされる光論理回路の中で、最も重要な回路の1つである光入力に対する光出力のスイッチングを光で制御できる光制御回路に関するものである。

(従来技術)

従来の論理回路はトランジスターを主体とした電子回路によって作られてきた。電子回路は、現在も将来も絶え間なく発展すると考えられるが、ある分野では限界が見え始めてきた。それは、トランジスター間を接続する配線がトランジスターの数に比べて非常に多い論理回路である。例えば、プロセッサの数が非常に多い超並列処理プロセッサや、素子間をすべて接続しその接続の重みに情報が蓄えられるニューロコンピュータ、などが典型的な例である。このような電子回路における配線の限界をブレイクスルーしようとする試みとして、光による配線によって配線の密度を向上させたり、配線を任意に可変出来るようにする試みが始まっている。例えば、ジェー・ダ

ブリュグッドマン等(J.W.Goodman et al.)はプロシーディング・オブ・ザ・アイ・イー・イー・イーの1984年72巻の850頁(Proceeding of the IEEE, vol.72, 1984)に上述した光配線の概念を提案している。この提案は、実際に試作されたものではなく、概念が提案されたものに過ぎないが、光配線によって、配線制限を改善しようとする革新的な試みである。しかし、この提案の中でも、光出力のオンとオフを光で制御できる光制御回路に関する提案はほとんどなく、実用に使えるものはまったく無い。実用という意味は、電子回路のように小型化が可能で、消費電力が小さく、かつ安定に動作が可能であるという意味である。

(本発明の目的)

上記したように、本発明の目的は電子回路のように小型化が可能で、消費電力が小さく、かつ安定に動作が可能である光制御回路の提供にある。

(問題点を解決するための手段)

本発明の第1の発明によれば、入射光によりスイッチする2つの光トランジスターが、半導体基板

251のコレクター層と第2のPNP光トランジスター261のエミッター層がPN形で吸収損失を制御する光変調器27の最上層のアノード層に接している。そして、2つの光トランジスターはエッチング溝で素子分離されている。そして第1のPNP光トランジスター251のエミッター層には正電圧28が、第2のPNP光トランジスター261コレクター層には負電圧29が各々負荷抵抗をかいして印加されている。このような構成の回路で、第1の発明が構成されている。

次にこの回路の動作を説明する。光トランジスター251の閾値レベル以上のセット光211が光トランジスター251に入力すると、このトランジスターは導通状態となる。すると、光変調器27に正電圧が印加し、入力光126を透過する。この状態に、光トランジスター261の閾値レベル以上のリセット光212が光トランジスター261に入力すると、このトランジスターは導通状態となる。すると、光変調器27の両端の印加電圧がさがり、吸収損失が増加し、入力光126の出力光125の強度が減少する。も

上に形成された光変調器上に形成され、かつ前記第1の光トランジスターのコレクター層と第2の光トランジスターのエミッター層が光変調器の最上層に接し、かつ2つの光トランジスターは素子分離されていることを特徴とする光制御回路が得られ、本発明の第2の発明によれば、入射光によりスイッチする2つのPNPN形の光サイリスターが、半導体基板上に形成された光変調器上に形成され、かつ前記第1の光サイリスターのカソード層と第2の光サイリスターのカソード層が光変調器の最上層に接し、かつ2つの光サイリスターは素子分離されていることを特徴とする光制御回路が得られる。

(作用)

以下に、本発明の作用について第2図を用いて、簡易に説明する。第2図(a)は、本発明の第1の発明を説明する光制御回路の等価回路図である。構成する素子は光トランジスター251, 261と光変調器27である。ここではPNP光トランジスター251と261とが用いられ、第1のPNP光トランジスター

との両方の光トランジスターがともにオフの状態に復帰するには、正電圧28と負電圧29を同時に短時間零にする。

このようにして、セット光とリセット光の入射状態に対応して光変調器が吸収と透過の状態をとることを特徴とする光制御回路がえられる。

ここで光変調器は逆接合を用いたフランツケルディッシュ効果を用いた変調器や、量子井戸を用いた量子効果利用変調器でも、全く同様な原理で光制御回路が得られる。

第2図(b)は、本発明の第2の発明を説明する光制御回路の等価回路図である。構成する素子は光サイリスター252, 262と光変調器27である。ここではPNPN光サイリスター252と262とが用いられ、第1のPNPN光サイリスター252のカソード層と第2のPNPN光サイリスター262のアノード層がPN形光変調器27の最上層のアノード層に接している。そして、2つの光サイリスターはエッチング溝で素子分離されている。そして第1のPNPN光サイリスター252のアノード層には正電圧28が印加され、第2の

PNPN光サイリスター262のカソード層には負電圧29が印加されている。このような構成の回路で、第2の発明が構成されている。

次にこの回路の動作を説明する。光サイリスター252の閾値レベル以上のセット光211が光サイリスター252に入力すると、このサイリスターは導通状態となる。すると、光変調器27に動作に十分な正電圧が印加し、光変調器27に正電圧が印加し、入力光126を透過する。この状態に、光サイリスター262の閾値レベル以上のリセット光212が光サイリスター261に入力すると、このサイリスターは導通状態となる。すると、光変調器27の両端には動作に十分な正電圧が印加されなくなり、吸収損失が増加し、入力光126の出力光125の強度が減少する。もとの状態に復帰するには正電圧28と負電圧29を同時に零にすればよい。

このようにして、セット光とリセット光の入射状態に対応して光変調器が吸収と透過の状態をとることを特徴とする光制御回路がえられる。

ド層123が形成されている。そして電流がGaAs吸収層122に集中して流れるように、高抵抗化されたAlGaAs電流阻止層15がGaAs吸収層122のまわりに形成され、光変調器27が形成された。光出力125を取り出すための透過用の窓124はエッチング溝の中に形成されている。そして、光変調器上に2つの光トランジスター251, 261が形成された。第1図の左断面図において、左半分にはセット用PNP光トランジスター251が形成され、右半分にはリセット用PNP光トランジスター261が形成された。セット用光トランジスター251には、P形AlGaAsコレクター層161、N形GaAsベース吸収層181、P形AlGaAsエミッター層171、正電極191が積層されている。そして、正電極191にはセット光211を入射させるためのセット光入射窓201、正電極端子221が付加されている。リセット用光トランジスター261には、P形AlGaAsエミッター層172、N形GaAsベース吸収層182、P形AlGaAsコレクター層162、負電極192が積層されている。そして、負電極192にはリセット

ここで光変調器は第1の発明と同様、逆接合を用いたフランツケルディッシュ効果を用いた変調器や、量子井戸を用いた量子効果利用変調器でも全く同様な原理で光制御回路が得られる。

このようにして、セット光とリセット光の入射状態に対応して光変調器が非発光と発光の状態をとることを特徴とする光制御回路がえられる。このような光回路では、PNPN素子に光入力をきっても状態を保持するラッチ機能があるため、出力が必要な時にだけ、端子28に電圧を印加すればよく、低電力化もはかられる。

(実施例)

次に図面を用いて本発明の実施例を詳細に説明する。第1図は第1の発明の実施例を説明する図である。

半導体基板11にはN形GaAs半導体が用いられた。この半導体基板11の裏側には入射光126を取り入れる窓が開けられたアース電極10が形成されている。この半導体基板11上に順にN形AlGaAsカソード層121、GaAs吸収層122、P形AlGaAsアノー

ド層123が形成されている。そして電流がGaAs吸収層122に集中して流れるように、高抵抗化されたAlGaAs電流阻止層15がGaAs吸収層122のまわりに形成され、光変調器27が形成された。光出力125を取り出すための透過用の窓124はエッチング溝の中に形成されている。そして、光変調器上に2つの光トランジスター251, 261が形成された。第1図の左断面図において、左半分にはセット用PNP光トランジスター251が形成され、右半分にはリセット用PNP光トランジスター261が形成された。セット用光トランジスター251には、P形AlGaAsコレクター層161、N形GaAsベース吸収層181、P形AlGaAsエミッター層171、正電極191が積層されている。そして、正電極191にはセット光211を入射させるためのセット光入射窓201、正電極端子221が付加されている。リセット用光トランジスター261には、P形AlGaAsエミッター層172、N形GaAsベース吸収層182、P形AlGaAsコレクター層162、負電極192が積層されている。そして、負電極192にはリセット

光212を入射させるためのリセット光入射窓202、負電極端子222が付加されている。

上述した構成によって、第2図(a)で示す光変調器27と2つの光トランジスター251と261がモノリシックに半導体基板上に形成された。

光トランジスター251に0.78ミクロンのセット光211が入力すると、このトランジスターは導通状態となる。すると、光変調器27が波長0.87ミクロンの入射光126の透過動作に必要な約1.5Vの正電圧が印加し、出力光125を出力する。この状態に、光トランジスター261に0.78ミクロンのリセット光212が入力すると、このトランジスターは導通状態となる。すると、光変調器27の両端の印加電圧がさがり、透過に十分な正電圧が印加されなくなり、入力光126を吸収し、出力光125が停止する。もとの状態に復帰するには正電圧28と負電圧29を同時に短時間零にする。

このようにして、セット光とリセット光の入射状態に対応して光変調器が透過と吸収の状態をとることを特徴とする光制御回路がえられる。

以上説明した実施例では、半導体基板上に微少な素子がモノリシックに形成されているために電子回路のように小型化が可能で、消費電力が小さく、かつ光で情報がやりとり出来るように入力も出力の光で行なわれる機能を有する光制御回路が得られる。

第3図は第2の発明の実施例を説明する図である。

この実施例では第1の発明の光トランジスタの代わりにPNPN光サイリスタ252と262が用いられ、この素子の252のカソード252と262のカソードと、PN光変調器のP形半導体であるアノードとが接している。そしてセット用光サイリスタ252のカソードと光変調器27アノード27は常に導通するように配線が繋がれている。

第1の発明の前記実施例と同様に、半導体基板11上に順にN形AlGaAsカソード層121、GaAs吸収層122、P形AlGaAsアノード層123が形成されている。そして電流がGaAs吸収層122に集中して流れるように、高抵抗化されたAlGaAs電流阻止層15が

GaAs吸収層122のまわりに形成された。そして、光変調器上に2つのPNPN光サイリスタ252、262が形成された。第1図の左断面図において、左半分にはセット用PNPN光サイリスタ252が形成され、右半分にはリセット用PNPN光サイリスタ262が形成された。セット用光サイリスタ252には、P形AlGaAsアノード層371、N形GaAsベース吸収層381、P形GaAsベース吸収層385、N形AlGaAsカソード層361、正電極391が積層されている。そして、正電極391にはセット光211を入射させるためのセット光入射窓201、正電極端子221が付加されている。リセット用PNPN光サイリスタ262には、P形AlGaAsアノード層372、N形GaAsベース吸収層382、P形GaAsベース吸収層386、N形AlGaAsカソード層362、負電極392が積層されている。そして、負電極392にはセット光212を入射させるためのセット光入射窓202、正電極端子222が付加されている。

上述した構成によって、第2図(b)で示す光変調器27と2つの光サイリスタ252と262がモノリシックに半導体基板上に形成された。

このようにして、セット光とリセット光の入射状態に対応して光変調器が非発光と発光の状態をとることを特徴とする光制御回路がえられる。このような光制御回路では、PNPN素子にラッチ機能があるため、出力が必要な時にだけ、端子28に電圧を印加すればよく、低電力化もはかられる。

以上説明した実施例では、半導体基板上に微少な素子がモノリシックに形成されているために電子回路のように小型化が可能で、消費電力が小さく、かつ光で制御が可能で出力も光で行なわれる機能を有する光制御回路が得られる。

上記実施例の導電型と全く逆の導電形の構成でも同様の効果が得られることは明らかである。

上記実施例において述べられた、各層の厚みや組成は特に限定されるものでないことは明かである。

上記実施例においては、GaAs/GaAlAs系半導体を用いられたが、この材料系に本発明は限定されず、InP/InGaAsP系などの他の化合物半導体でも可能である。

上記実施例においては、光変調器として順接合のダイオードが用いられたが、逆接合を用いたフランツケルディッシュ効果を用いた変調器や、量子井戸を用いた量子効果利用変調器でも全く同様な原理で光制御回路が得られる。

(発明の効果)

以上説明したように、本発明によると、半導体基板上に微少な素子がモノリシックに形成されているために電子回路のように小型化が可能で、消費電力が小さく、かつ光で信号光も制御光も光で行なわれる光制御回路が得られた。

図面の簡単な説明

第1図は第1の発明の実施例を説明する図、第2図(a)、(b)は各々、第1と第2の発明を説明する光制御回路の回路図、第3図は第2の発明の実施例を説明する図である。

図において

10 アース電極、
 11 N形GaAs半導体基板、
 15 AlGaAs電流阻止層、
 121 N形AlGaAsカソード層、
 122 GaAs吸収層、
 123 P形AlGaAsアノード層、
 124 出力光窓、
 125 出力光、
 126 入力光、
 161, 172 ... P形AlGaAsコレクター層、
 171, 162 ... P形AlGaAsエミッター層、
 181, 182 ... N形GaAsベース吸収層、
 191 正電極、
 192 負電極、
 201 セット光入射窓、
 202 リセット光入射窓、
 211 セット光、
 212 リセット光、
 221 正電極端子、

222 負電極端子、
 251 セット用PNP光トランジスター、
 261 リセット用PNP光トランジスター、
 27 PN光変調器、
 28 正電極、
 29 負電極、
 252 セット用PNPN光サイリスタ、
 262 リセット用PNPN光サイリスタ、
 361, 372 ... N形AlGaAsカソード層、
 371, 362 ... P形AlGaAsアノード層、
 381, 386 ... N形GaAsゲート吸収層、
 382, 385 ... P形GaAsゲート吸収層、
 391 正電極、
 392 負電極、
 を示す。

代理人 弁理士 内原 晋



